

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-332866

(43)Date of publication of application : 30.11.2001

(51)Int.Cl.

H05K 3/46

H01L 23/12

H01L 25/04

H01L 25/18

H01L 25/10

H01L 25/11

H05K 1/11

H05K 3/40

(21)Application number : 2000-152621

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 24.05.2000

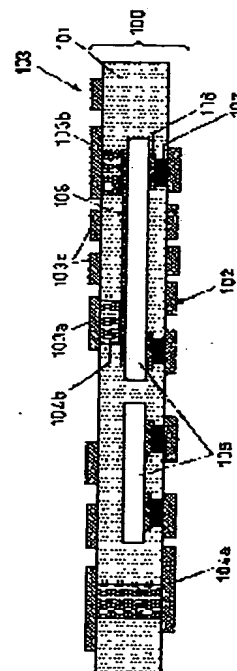
(72)Inventor : SHIRAISHI TSUKASA
KOMATSU SHINGO
HAYASHI YOSHITAKE
YUHAKE SEI

(54) CIRCUIT BOARD AND METHOD OF PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit board in which high density mounting can be effected without lowering the containing rate of wiring.

SOLUTION: Containing rate of wiring is enhanced by forming an auxiliary wiring pattern 108 in a component surface region not pertaining to external connection of an electronic component 105 provided in a board, and connecting the auxiliary wiring pattern 108 electrically with wiring patterns of board 103, 102 thereby using the auxiliary wiring pattern 108 as the wiring patterns of board 103, 102.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of
rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-332866

(P2001-332866A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl.⁷

識別記号

F I

テマコード (参考)

H 0 5 K 3/46

H 0 5 K 3/46

Z 5 E 3 1 7

G 5 E 3 4 6

N

Q

N

H 0 1 L 23/12

1/11

審査請求 未請求 請求項の数13 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2000-152621 (P2000-152621)

(22) 出願日 平成12年 5 月 24 日 (2000. 5. 24)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 白石 司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 小松 慎五

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100086737

弁理士 岡田 和秀

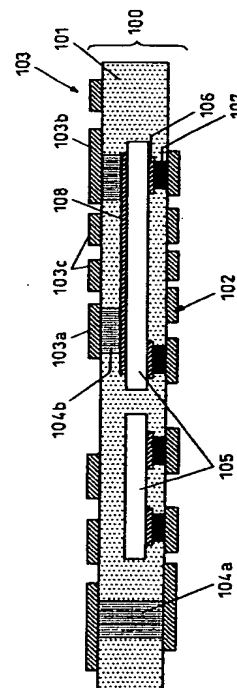
最終頁に続く

(54) 【発明の名称】 回路基板及びその製造方法

(57) 【要約】

【課題】 配線の収容率を低下させることなく高密度な実装が行える回路基板の提供。

【解決手段】 基板内部に設けた電子部品105の外部接続に関与しない部品表面領域に補助配線パターン108を形成し、この補助配線パターン108を、基板配線パターン103、102に電気的に接続することで、補助配線パターン108を基板配線パターン103、102の一部として用いて配線の収容率を高めた。



【特許請求の範囲】

【請求項 1】 少なくとも一つ以上の電子部品を基板内部に設けてなる回路基板であって、
前記電子部品の少なくとも一つには、その外部接続に関与しない部品表面領域に補助配線パターンを形成し、この補助配線パターンを、前記回路基板に設けた基板配線パターンに電氣的に接続したことを特徴とする回路基板。

【請求項 2】 請求項 1 に記載の回路基板であって、前記基板配線パターンどうしを、前記補助配線パターンを介して電氣的に接続したことを特徴とする回路基板。

【請求項 3】 請求項 2 に記載の回路基板であって、前記電子部品を、その実装面を前記回路基板の面方向に略平行にして配置し、
前記補助配線パターンを介して互いに電氣的に接続する前記基板配線パターンを、前記電子部品と対向する前記回路基板の同一方面に設け、
前記補助配線パターンを、前記回路基板の同一方面と対向する前記電子部品の一方面に設け、
前記基板配線パターンと前記補助配線パターンとを、前記回路基板の厚み方向に沿って配置した導電体により電氣的に接続したことを特徴とする回路基板。

【請求項 4】 請求項 3 に記載の回路基板であって、前記導電体を、前記回路基板に設けたインナービアから構成することを特徴とする回路基板。

【請求項 5】 請求項 3 に記載の回路基板であって、前記導電体を、前記補助配線パターン上に設けられてその先端が前記回路基板を貫通して前記基板配線パターンに達する突起電極から構成することを特徴とする回路基板。

【請求項 6】 請求項 3 に記載の回路基板であって、前記電子部品をベアチップの半導体から構成することを特徴とする回路基板。

【請求項 7】 請求項 6 に記載の回路基板であって、前記補助配線パターンを、前記電子部品の端子形成面に設けることを特徴とする回路基板。

【請求項 8】 請求項 1 に記載の回路基板であって、前記電子部品を、その実装面が前記回路基板の面方向に略直交する方向に沿って配置することを特徴とする回路基板。

【請求項 9】 少なくとも一つ以上の電子部品を基板内部に設けてなる回路基板の製造方法であって、
前記電子部品の実装面の裏面に補助配線パターンを形成する工程と、
前記電子部品を第 1 の導体箔上に実装する工程と、
未硬化状態の熱硬化型樹脂組成物を含む混合物からなるシート状物に貫通孔を形成して、その貫通孔に導電性樹脂組成物を充填する工程と、
前記導電性樹脂組成物の一端と前記補助配線パターンとが対向するように、前記シート状物の一方面に前記第 1

の導体箔の電子部品搭載面を位置合わせして配置する一方、前記シート状物の他方面に第 2 の導体箔を配置してこれらを積層一体化することで、前記電子部品を前記シート状物に埋没する工程と、

前記シート状物を加熱加圧することで前記シート状物中の前記熱硬化型樹脂および前記導電性樹脂組成物を硬化させる工程と、
を含むことを特徴とする回路基板の製造方法。

【請求項 10】 少なくとも一つ以上の電子部品を基板内部に設けてなる回路基板の製造方法であって、
前記電子部品の実装面の裏面に補助配線パターンを形成したうえで、形成した補助配線パターン上に突起電極を形成する工程と、

前記電子部品を第 1 の導体箔上に実装する工程と、
未硬化状態の熱硬化型樹脂組成物を含む混合物からなるシート状物の一方面に前記第 1 の導体箔の電子部品搭載面を配置する一方、前記シート状物の他方面に第 2 の導体箔を配置してこれらを積層一体化することで、前記電子部品を前記シート状物に埋没するとともに、前記突起電極の先端を前記シート状物を貫通して前記第 1 の導体箔に当接させる工程と、

前記シート状物を加熱加圧することで前記シート状物中の前記熱硬化型樹脂および前記導電性樹脂組成物を硬化させる工程と、
を含むことを特徴とする回路基板の製造方法。

【請求項 11】 少なくとも一つ以上の電子部品を基板内部に設けてなる回路基板の製造方法であって、
前記電子部品の実装面においてその外部接続に関与しない面領域に補助配線パターンを形成する工程と、

前記電子部品を第 1 の導体箔上に実装するとともに、前記補助配線パターンを接続部材を介して前記第 1 の導体箔に電氣的に接続する工程と、

未硬化状態の熱硬化型樹脂組成物を含む混合物からなるシート状物の一方面に前記第 1 の導体箔の電子部品搭載面を配置する一方、前記シート状物の他方面に第 2 の導体箔を配置してこれらを積層一体化することで、前記電子部品を前記シート状物に埋没する工程と、

前記シート状物を加熱加圧することで前記シート状物中の前記熱硬化型樹脂および前記導電性樹脂組成物を硬化させる工程と、

を含むことを特徴とする回路基板の製造方法。

【請求項 12】 請求項 9 ないし 11 のいずれかに記載の回路基板の製造方法であって、
前記第 1 の導体箔または前記第 2 の導体箔の少なくとも一方として、離型フィルム上に設けられて配線パターン形状に成形されたものを用いることを特徴とする回路基板の製造方法。

【請求項 13】 請求項 9 ないし 11 のいずれかに記載の回路基板の製造方法であって、
前記第 1 の導体箔または前記第 2 の導体箔の少なくとも

一方として、前記シート状物と同様のシート状物の一方面に設けられて配線パターン形状に成形されたものを用いることを特徴とする回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体などの能動部品やコンデンサなどの受動部品を内蔵した回路基板およびその製造方法に関するものである。

【0002】

【従来の技術】近年、電子機器の高性能化、小型化の要求に伴い、半導体の高密度、高機能化が一層要望されており、回路基板に対しても小型かつ高密度を実現するのが望まれている。そこで、内部に能動部品及び／または受動部品を内蔵し、かつ配線パターンとそれとを電気的に接続するインナービアを有する半導体内蔵型の回路基板が提案されている。

【0003】図12は、従来の半導体内蔵型の回路基板の構成を示す断面図である。図において、1は半導体内蔵型の回路基板である。2及び3は配線パターンであって多層配線構成を有している。4は導電性組成物からなるインナービアであって配線パターン2と配線パターン3とを電気的に接続している。5は、無機フィラーと熱硬化樹脂とを複合したコンポジット材料からなる絶縁層である。6は絶縁層5に埋没されて一体化された半導体ベアチップである。7は半導体ベアチップ6の実装面上に形成されたアルミ電極端子であり、8はアルミ電極端子7と配線パターン2とを電気的に接続する接続部材である。図12に示すように、この回路基板1は、絶縁層5の内部に半導体ベアチップ6を内蔵したうえで、半導体ベアチップ6のアルミ電極端子7と回路基板1の配線パターン2とを、接続部材8を介して電気的に接続している。

【0004】

【発明が解決しようとする課題】しかしながら上記した従来例には、実装密度を高めるうえで構造的な障害があり、高密度実装が図れないという課題があった。以下、説明する。絶縁層5の同一方面に設けられた配線パターン3どうし（例えば、配線3aと配線3b）を接続したい場合であって、しかもこれら配線3a、3bの間に配線3cが配置されている場合には、同一面上の配線パターン3により配線3aと配線3bとを直接接続することができない。この場合、インナービア4を介して配線3aと配線3bとを絶縁層5の裏面側の配線パターン2に接続することで、配線3aと配線3bとを、インナービア4と配線パターン2とを介して接続する。

【0005】しかしながら、配線3a、3bの直下に半導体ベアチップ6が配置されている場合には、半導体ベアチップ6が遮蔽物となってこのような接続構造を採ることができない。このことは、いわゆる配線の収容率を低下させるので、期待していた通りの高密度化が実現で

きない結果となる。

【0006】本発明は上記のような課題を解消するためになされたものであり、半導体ベアチップ等の電子部品を内蔵しても配線の収容率を低下させることなく、高密度な実装が行える回路基板を提供することである。

【0007】

【課題を解決するための手段】この課題を解決するために本発明は、少なくとも一つ以上の電子部品を基板内部に設けてなる回路基板であって、前記電子部品の少なくとも一つには、その外部接続に関与しない部品表面領域に補助配線パターンを形成し、この補助配線パターンを、前記回路基板に設けた基板配線パターンに電気的に接続している。

【0008】

【発明の実施の形態】本発明の請求項1に記載の発明は、少なくとも一つ以上の電子部品を基板内部に設けてなる回路基板であって、前記電子部品の少なくとも一つには、その外部接続に関与しない部品表面領域に補助配線パターンを形成し、この補助配線パターンを、前記回路基板に設けた基板配線パターンに電気的に接続しており、これにより次のような作用を有する。すなわち、その外部接続に関与しない電子部品の表面領域に形成した補助配線パターンを、基板配線パターンに接続することで、補助配線パターンを基板配線パターンの一部として用いることができ、その分、回路基板の配線の収容率を高めることができる。

【0009】本発明の請求項2に記載の発明は、請求項1に係る回路基板であって、前記基板配線パターンどうしを、前記補助配線パターンを介して電気的に接続したことに特徴を有しており、これにより次のような作用を有する。すなわち、補助配線パターンを介して基板配線パターンどうしを接続することで、配線パターンの引き回しの自由度が増し、その分、さらに回路基板の配線の収容率を高めることができる。

【0010】本発明の請求項3に記載の発明は、請求項2に係る回路基板であって、前記電子部品を、その実装面を前記回路基板の面方向に略平行にして配置し、前記補助配線パターンを介して互いに電気的に接続する前記基板配線パターンを、前記電子部品と対向する前記回路基板の同一方面に設け、前記補助配線パターンを、前記回路基板の同一方面と対向する前記電子部品の一方面に設け、前記基板配線パターンと前記補助配線パターンとを、前記回路基板の厚み方向に沿って配置した導電体により電気的に接続したことに特徴を有しており、これにより次のような作用を有する。すなわち、従来、層間接続構造を介した接続が電子部品の存在により困難であった前記回路基板の同一方面にある基板配線パターンどうしを、補助配線パターンにより接続することが可能となり、その分、さらに回路基板の配線の収容率を高めることができる。

【0011】本発明の請求項4に記載の発明は、請求項3に係る回路基板であって、前記導電体を、前記回路基板に設けたインナービアから構成することに特徴を有しており、これにより次のような作用を有する。すなわち、導電体を周知の層間接続構造であるインナービアにより構成することで、既存の生産設備を用いて比較的簡単に導電体を作製することができるようになる。

【0012】本発明の請求項5に記載の発明は、請求項3に係る回路基板であって、前記導電体を、前記補助配線パターン上に設けられてその先端が前記回路基板を貫通して前記基板配線パターンに達する突起電極から構成することに特徴を有しており、これにより次のような作用を有する。すなわち、導電体を周知の層間接続構造である突起電極により構成することで、既存の生産設備を用いて比較的簡単に導電体を作製することができるようになる。さらには、突起電極は基板に加圧積層されるだけで基板を貫通して基板配線パターンに当接して電氣的に接続されるので、突起電極と基板配線パターンとの接続に要する工程をさらに簡略化することができるようになる。

【0013】本発明の請求項6に記載の発明は、請求項3に係る回路基板であって、前記電子部品をベアチップの半導体から構成することに特徴を有しており、これにより次のような作用を有する。ウェハ状態でカッティング前の電子部品（複数）に対して、一度に補助配線パターンを形成することが可能となり、その分、補助配線パターンの作製が容易になる。

【0014】本発明の請求項7に記載の発明は、請求項6に係る回路基板であって、前記補助配線パターンを、前記電子部品の端子形成面に設けることに特徴を有しており、これにより次のような作用を有する。すなわち、補助配線パターンをベアチップの半導体の表面に形成された半導体自体の配線パターンと一緒に作り込むことができるので、補助配線パターンだけを別途作成する必要はなくなる。

【0015】本発明の請求項8に記載の発明は、請求項1に係る回路基板であって、前記電子部品を、その実装面が前記回路基板の面方向に略直交する方向に沿って配置することに特徴を有しており、これにより次のような作用を有する。すなわち、補助配線パターンが層間接続体として機能するので、別途、層間接続体として機能する導電体を設ける必要がなくなる。さらには、電子部品を回路基板に対してほぼ縦向きに配置することになるので、平面的に見て回路基板内で電子部品が占める領域がほぼ最小限となる。そのため、電子部品が障害となって回路基板内で層間接続構造を作成できない領域の大きさも最小限となる。

【0016】本発明の請求項9に記載の発明は、少なくとも一つ以上の電子部品を基板内部に設けてなる回路基板の製造方法であって、前記電子部品の実装面の裏面に

補助配線パターンを形成する工程と、前記電子部品を第1の導体箔上に実装する工程と、未硬化状態の熱硬化型樹脂組成物を含む混合物からなるシート状物に貫通孔を形成して、その貫通孔に導電性樹脂組成物を充填する工程と、前記導電性樹脂組成物の一端と前記補助配線パターンとが対向するように、前記シート状物の一方面に前記第1の導体箔の電子部品搭載面を位置合わせして配置する一方、前記シート状物の他方面に第2の導体箔を配置してこれらを積層一体化することで、前記電子部品を前記シート状物に埋没する工程と、前記シート状物を加熱加圧することで前記シート状物中の前記熱硬化型樹脂および前記導電性樹脂組成物を硬化させる工程とを含むことに特徴を有しており、これにより、インナービアからなる導電体で、補助配線パターンと基板配線パターンとを接続した回路基板構造を実現することができる。

【0017】また、請求項10に記載の発明は、少なくとも一つ以上の電子部品を基板内部に設けてなる回路基板の製造方法であって、前記電子部品の実装面の裏面に補助配線パターンを形成したうえで、形成した補助配線パターン上に突起電極を形成する工程と、前記電子部品を第1の導体箔上に実装する工程と、未硬化状態の熱硬化型樹脂組成物を含む混合物からなるシート状物の一方面に前記第1の導体箔の電子部品搭載面を配置する一方、前記シート状物の他方面に第2の導体箔を配置してこれらを積層一体化することで、前記電子部品を前記シート状物に埋没するとともに、前記突起電極の先端を前記シート状物を貫通して前記第1の導体箔に当接させる工程と、前記シート状物を加熱加圧することで前記シート状物中の前記熱硬化型樹脂および前記導電性樹脂組成物を硬化させる工程と、を含むことに特徴を有しており、これにより、次のような作用を有する。すなわち、突起電極からなる導電体で、補助配線パターンと基板配線パターンとを接続した回路基板構造を実現することができる。

【0018】本発明の請求項11に記載の発明は、少なくとも一つ以上の電子部品を基板内部に設けてなる回路基板の製造方法であって、前記電子部品の実装面においてその外部接続に関与しない面領域に補助配線パターンを形成する工程と、前記電子部品を第1の導体箔上に実装するとともに、前記補助配線パターンを接続部材を介して前記第1の導体箔に電氣的に接続する工程と、未硬化状態の熱硬化型樹脂組成物を含む混合物からなるシート状物の一方面に前記第1の導体箔の電子部品搭載面を配置する一方、前記シート状物の他方面に第2の導体箔を配置してこれらを積層一体化することで、前記電子部品を前記シート状物に埋没する工程と、前記シート状物を加熱加圧することで前記シート状物中の前記熱硬化型樹脂および前記導電性樹脂組成物を硬化させる工程とを含むことに特徴を有しており、これより次のような作用を有する。すなわち、電子部品の実装面側に位置する

基板配線パターンを補助配線パターンにより接続してなる回路基板を形成することが可能となる。その際、基板配線パターンと補助配線パターンとを接続部材により接続でき、しかも、接続部材による接続処理は、電子部品を第1の導体箔に実装する際に同時に行なうことができ、別途、基板配線パターンと補助配線パターンとを接続する処理工程を設ける必要がないので、その分、製造が簡略化できる。

【0019】本発明の請求項12に記載の発明は、請求項9ないし11のいずれかに係る回路基板の製造方法であって、前記第1の導体箔または前記第2の導体箔の少なくとも一方として、離型フィルム上に設けられて配線パターン形状に成形されたものを用いることに特徴を有しており、これにより次のような作用を有する。すなわち、第1、ないし第2の導体箔として、予めパターンニングされた導体箔を用いることで、回路基板形成後に、導体箔をパターンニング処理する必要性がなくなる。

【0020】本発明の請求項13に記載の発明は、請求項9ないし11のいずれかに係る回路基板の製造方法であって、前記第1の導体箔または前記第2の導体箔の少なくとも一方として、前記シート状物と同様のシート状物の一面に設けられて配線パターン形状に成形されたものを用いることに特徴を有しており、これにより次のような作用を有する。すなわち、本願発明の回路基板構成を用いて、多層基板構造の回路基板を形成することが可能となる。

【0021】以下、本発明の実施の形態について、図を参照して説明する。

【0022】図1から図5は本発明の第1の実施の形態に関するものであり、特に、図1はその回路基板の構成を示す断面図である。これらの図において、100は電子部品を内蔵した回路基板である。101は絶縁層であって、例えば、無機フィラーと熱硬化性樹脂の複合されたコンポジット材料から構成されているが、このような構成に限定されるものではない。102及び103は配線パターンである。104a、104bは導電性組成物が充填されたインナービアである。105は絶縁層101に埋没一体化された半導体ベアチップである。106は半導体ベアチップ105の実装面に形成されたアルミ電極端子である。107はアルミ電極端子106と配線パターン102とを電気的に接続する接続部材である。108は半導体ベアチップ105の表面に形成された補助配線パターンであり、補助配線パターン108は、半導体ベアチップ105の外部接続に関与しない面領域に設けられている。本実施形態では、端子形成面（実装面）の裏面に補助配線パターン108を設けている。補助配線パターン108はインナービア104bを介して配線103aと配線103bとに電気的に接続している。配線103aと配線103bとは、配線パターン103を構成する配線であり、さらには、これら配線

103aと配線103bとの間には配線103cが設けられているために、これら配線103a、103bを、配線パターン103により直接接続することができない構造となっている。しかも、配線103a、103bの直下には、半導体ベアチップ105が設けられているので、絶縁層101の裏面に設けられた配線パターン102を介した層間接続によりこれら配線103a、103bどうしを接続することが困難となっている。そこで、本実施形態では、半導体ベアチップ105に設けた補助配線パターン108を介した層間接続により、これら配線103a、103bどうしの接続を行なっている。これにより、配線収容率を向上させて、極めて高密度な配線形成を行うことができる。

【0023】なお、105は半導体ベアチップとしたが、他のチップ状の抵抗、インダクタ、コンデンサなどの電子部品としても構わない。これらチップ状の電子部品の場合、補助配線パターン105は、外部電極（銀の厚膜印刷構造等）の形成時に同時に形成することができ、その場合には、補助配線パターン105を別途作製する手間が省ける。

【0024】図2(a)～(h)は本実施形態の回路基板の製造方法の一例を説明する工程別断面図である。

【0025】図2(a)において、200は無機フィラーと未硬化状態の熱硬化樹脂の混合物をシート状に加工したシート状物である。シート状物200の加工は、例えば、次のように行なう。すなわち、無機フィラーと液状の熱硬化樹脂を混合してペースト状混練物を作製するか、無機フィラーに溶剤で低粘度化した熱硬化樹脂を混合して同様にペースト状混練物を作製する。次にペースト状混練物を一定厚みに成型し、熱処理することでシート状物200を得る。熱処理は、液状樹脂を用いたものでは粘着性があるため若干硬化を進め、未硬化状態で可撓性を維持しながら粘着性を除去するためである。また溶剤により樹脂を溶解させた混練物では、前述の溶剤を除去し、同様に未硬化の状態で可撓性を保持しながら粘着性を除去するためである。

【0026】この様にして作製した未硬化状態のシート状物200に、図2(b)のように貫通孔201を形成する。貫通孔201の形成は、レーザー加工法や金型による加工、もしくはパンチング加工で行うことができる。特にレーザー法では、炭酸ガスレーザーやエキシマレーザーが加工速度が早いので有効である。

【0027】次に、図2(c)に示すように、形成した貫通孔201に導電性樹脂組成物202を充填する。導電性樹脂組成物202は、金や銀、銅の粉末を導電材料とし、これにシート状物と同様の熱硬化樹脂を混練したものがその一例として使用できる。特に銅は導電性が良好で、マイグレーションも少ないため有効である。また、熱硬化樹脂も液状のエポキシ樹脂が耐熱性の面で安定である。導電性樹脂組成物202は、加熱硬化工程を

経ることによってインナービア104a、104bとなるものである。

【0028】次に、図2(d)に示すように、銅箔等からなる第1の導体箔203に半導体ベアチップ105をフリップチップ実装する。この半導体ベアチップ105には、端子形成面(実装面)の裏面に補助配線パターン108が形成されている。ここで、端子形成面の裏面は、半導体ベアチップ105においてその外部接続に関与しない面領域の一つとして選定している。

【0029】補助配線パターン108は、例えば、既存のフォトリソグラフィ工程により形成することもできるし、離型フィルム上に形成した配線パターンを半導体ベアチップ105に転写することでも作製できる。なお、半導体ベアチップ105にフォトリソグラフィ工程により補助配線パターン108を作製する場合には、カッティング前のウエハ状態の半導体ベアチップ105(複数)に対して、一度に補助配線パターン108を形成することができ、その分、補助配線パターン108の作製が容易になる。

【0030】このようにして補助配線パターン108を形成した半導体ベアチップ105を第1の導体箔に実装するのであるが、この時、半導体ベアチップ105は、その実装面(端子形成面)に形成したアルミ電極端子106を介して第1の導体箔203に電氣的に接続されている。特にシート状物200との接着性を改善するため、シート状物200との接触面を粗化した第1の導体箔203が望ましい。また、同様に接着性の向上、酸化の防止のため、第1の導体箔203の表面をカップリング処理したものや錫、亜鉛、ニッケルメッキしたものも使用できる。半導体ベアチップ105の電氣的接続用として設けられた接続部材107は、金、銀、銅、銀-パラジウム合金などを熱硬化樹脂で混練したものが使用できる。

【0031】次に、図2(e)に示すように、第2の導体箔204を用意する。そして、図2(f)に示すように、シート状物200と、半導体ベアチップ実装済の第1の導体箔203と第2の導体箔204とを図のように位置合わせして重ねる。

【0032】次に、図2(g)に示すように、位置合わせして重ねた積層体をプレスにより加熱加圧して半導体ベアチップ105をシート状物200に埋設、一体化する。このとき、シート状物200中の熱硬化樹脂が硬化する前の状態で半導体ベアチップ105をシート状物200に埋設したのち加熱処理することで、シート状物200の熱硬化樹脂および導電性樹脂組成物の熱硬化樹脂を完全に硬化させる。これにより、シート状物200と半導体ベアチップ105、および第1、第2の導体箔203、204が機械的に強固に接着する。また、同様に導電性樹脂組成物202の硬化により形成されるインナービア104a及び104bを介して、第1の導体箔2

03と第2の導体箔204との電氣的接続及び、補助配線パターン108と第2の導体箔204との電氣的接続が行われ固定される。

【0033】次に、図2(h)に示すように、第1、第2の導体箔203、204を既存のフォトリソグラフィ工程によりパターンニングして配線パターン102、103を形成する。これにより回路基板100が実現できる。その後半田による部品実装や、絶縁樹脂の充填などの工程があるが、これらは本発明の本質ではないので省略している。

【0034】図3(a)～(h)は本実施形態の回路基板100の別の製造方法の一例を説明する工程別断面図である。

【0035】まず、図3(a)に示すように、無機フィラーと熱硬化性樹脂とを含む混合物をシート状に加工し、形成したシート状物200に貫通孔201を形成し、さらに貫通孔201に導電性樹脂組成物202を充填する。この工程は図2(a)～(c)と同様であるため、重複する説明は省略する。

【0036】次に、図3(d)に示すように、離型フィルム305上に第1の配線パターン303を形成する。第1の配線パターン303はパターンニングされた第1の導体箔に相当し、かつ、その形状は、回路基板100の配線パターン102と同形状とする。第1の配線パターン303は周知のフォトリソグラフィ工程により作製できる。

【0037】そして、離型フィルム305上の第1の配線パターン303上に半導体ベアチップ105を実装する。

【0038】このとき、半導体ベアチップ105の実装面(端子形成面)の裏面には、予め補助配線パターン108を形成しておく。補助配線パターン108の形成方法は、前述した製造方法と同一であり、説明は省略する。

【0039】実装に際して、半導体ベアチップ105の実装面に形成したアルミ電極端子106が接続部材107を介して第1の配線パターン303に電氣的に接続されるようにする。離型フィルム305はポリエチレンテレフタレートなどのフィルムが使用できる。

【0040】同様に、図3(e)に示すように、もう一つの離型フィルム306に銅箔等の導体箔を接着し、接着した導体箔に対して既存のフォトリソグラフィ法によるエッチングを施すことで第2の配線パターン307を形成する。第2の配線パターン307はパターンニングされた第2の導体箔に相当し、かつ、その形状は、回路基板100の配線パターン103と同形状とする。第2の配線パターン307は既存のフォトリソグラフィ工程により作製できる。

【0041】次に図3(f)に示すように、シート状物200と、離型フィルム305(第1の配線パターン3

03と半導体ベアチップ105とを搭載済)と、離型フィルム306(第2の配線パターン307を搭載済)とを位置合わせして重ね合わせる。このとき、補助配線パターン108上に設けられた導電性樹脂組成物202が第2の配線パターン307に当接するように、シート状物200に対して離型フィルム306を位置合わせする。

【0042】次に、図3(g)に示すように、位置合わせして重ねた積層体をプレスにより、加熱加圧して半導体ベアチップ105をシート状物200に埋設して、一

体化する。この工程は、図2(g)と同様である。この工程により、シート状物200と半導体ベアチップ105と第1、第2の配線パターン303、307とが機械的に強固に接着する。また、導電性樹脂組成物202が加圧状態で硬化してインナービア104a、104bとなる。そして、インナービア104aを介して第1の配線パターン303と第2の配線パターン307とが電気的に接続される。同様に、補助配線パターン108と第2の配線パターン307とが電気的に接続される。この時、第1、第2の配線パターン303、307はシート状物200に埋設される。

【0043】次に、図3(h)に示すように、離型フィルム305、306を剥離し、これにより配線パターン102、103を有する回路基板100が完成する。

【0044】次に、多層構造を有する回路基板の製造方法の一例を図4(a)～(g)の工程別断面図を参照して説明する。

【0045】まず、図4(a)に示すように、無機フィラーと熱硬化性樹脂とを含む混合物を加工することによってシート状物400を形成する。そして、作製したシート状物400に貫通孔を形成し、その貫通孔に導電性樹脂組成物401を充填する。この工程は、図2(a)～(c)で説明した工程と同様である。一方、離型フィルム404上に配線パターン403を形成し、配線パターン403上に、補助配線パターン412を有する半導体ベアチップ405を実装する。補助配線パターン412は、半導体ベアチップ405の端子形成面(実装面)の裏面に設けておく。

【0046】その後、図4(b)に示すように、図4(a)のシート状物400と離型フィルム404とを位置合わせを行い重ねて加圧した後、離型フィルム404を剥離する。これにより、配線パターン403と半導体ベアチップ405とが埋設されたシート状物を形成する。この際、半導体ベアチップ405の実装面に形成したアルミ電極端子414が接続部材415を介して配線パターン403に電気的に接続される。

【0047】図4(a)及び(b)の工程と平行して、同様の工程により図4(c)及び(d)と図4(e)及び(f)に示す通り、配線パターン403及び半導体ベアチップ405が埋設されたシート状物400を複数形

成する。なお、配線パターン403と半導体ベアチップ405とは設計に応じて各層毎に異なる。

【0048】その後、図4(g)に示すように、作製した複数のシート状物400の位置合わせを行ってから重ね合わせ、さらに最上層のシート状物400の上に導体箔407を重ねて加熱加圧することにより熱硬化性樹脂及び導電性物質を硬化させて、電気的接続及び固定を行う。これにより、シート状物400は層間絶縁層408となり、導電性樹脂組成物401はインナービア406a、406bとなる。この工程により、半導体ベアチップ405、配線パターン403及び導体箔407が機械的に強固に接着される。また、配線パターン403は多層回路基板の多層配線を構成する配線パターン409、410、411となる。そして、配線パターン409と配線パターン410とが、配線パターン410と配線パターン411とが、配線パターン411と導体箔407とが、それぞれインナービア406aにより接続される。

【0049】一方、配線パターン410を構成する配線どうしがインナービア406bと補助配線パターン412とを介して電気的に接続される。最後に、導体箔407をパターン加工して配線パターン413を形成する。

【0050】なお、図4では、導体箔407を載せてシート状物400を積層一体化したのち、導体箔407をパターンニングしていたが、図5に示すように、予め、離型フィルム503上に配線パターン510を形成したうえで、この配線パターン510を最上層のシート状物400に転写してもよいのはいうまでもない(図5

(e)、(f)参照)。なお、図5に示す製造方法では、その他の工程を図4と同一としており、同一ないし同様の部分には図4と同一の符号を付し、それらについての説明は省略する。ただし、図5では、4層配線構造の多層回路基板である図4とは異なり、3層配線構造の多層回路基板において、本発明を実施している。

【0051】また、図2～5に示す回路基板の製造方法において電子部品は半導体ベアチップ105、405としていたが、他のチップ状の抵抗、インダクタ、コンデンサなどの他の電子部品としても構わないのはいうまでもない。

【0052】また、図2～5に示す回路基板の製造方法において、接続部材107、407としては、導電性接着剤のみ、あるいは金バンプと導電性接着剤の組み合わせとしても良い。また導電性接着剤の代わりに半田によるバンプを半導体ベアチップ107、407側にあらかじめ形成し、熱処理による半田の溶解を利用して半導体ベアチップを実装することも可能である。また半田バンプと導電性接着剤の併用もまた可能である。

【0053】また、図2～5に示す回路基板の製造方法において、電子部品と導体箔との間には封止樹脂を注入しても良く、封止樹脂注入によって後の工程で埋設する

際に電子部品と導体箔間に隙間ができることを防止できる。

【0054】以下、本発明の第2の実施の形態について、図6から図10を用いて説明する。図6は本発明の回路基板の構成を示す断面図である。これらの図において、図1と同一部材については同一符号を付して説明を省略する。図において108a、108bは半導体ベアチップ105の外部接続に関与しない面領域に形成した補助配線パターンである。補助配線パターン108aは半導体ベアチップ105の端子形成面（実装面）の裏面に設けられており、補助配線パターン108bは、端子形成面（実装面）において、アルミ接続端子106から離間した領域に設けられている。突起端子109aは補助配線パターン108a上に形成した突起電極であり、109bは補助配線パターン108bと配線パターン102とを、層間にわたって電氣的に接続する接続部材である。なお、本実施形態では、接続部材109bを補助配線パターン108b上に設けた突起電極から構成しているが、第1の実施の形態と同様、導電性接着剤から構成してもよい。

【0055】第2の実施の形態では、補助配線パターン108a上に突起電極109aを設けており、この突起電極109aにより配線パターン103と補助配線パターン108aとの接続を行なっている。これに対して、第1の実施の形態では、インナービア104bにより、配線パターン103と補助配線パターン108aとの接続を行なっている。このように、第2の実施の形態では、インナービアを設けなくとも、配線パターン103と補助配線パターン108aとの接続が行える点において、第1の実施の形態と相違しており、この点に特徴がある。

【0056】また、半導体ベアチップ105の端子形成面（実装面）にも補助配線パターン108bを設けており、こちらの面においても補助配線パターン108bと配線パターン102との接続を行っており、より一層の高密度化を実現している。

【0057】図7（a）～（h）は本実施形態の回路基板の製造方法の一例を説明する工程別断面図である。図7において、図2と同一部材については同一番号を付して、それらについての詳細な説明は省略する。

【0058】図7（a）～（c）に示す各工程は、図2（a）～（c）に示す第1の実施形態の製造方法における各工程と全く同一であるのでそれらについての説明は省略する。

【0059】次に図7（d）に示すように、予め半導体ベアチップ105の少なくとも一つの外部接続に関与しない表面領域（端子形成面およびその裏面）に、補助配線パターン108a、108bを形成するとともに、これら補助配線パターン108a、108b上に突起電極109aと、突起電極状の接続部材109bとを形成す

る。補助配線パターン108a、108bは、既存のフォトリソグラフィ工程等の半導体製造工程により、半導体ベアチップ105上に形成することができる。

【0060】特に、端子形成面（実装面）に設ける補助配線パターン108bは、この半導体面に半導体装置が作り込まれているために、半導体装置を構成する配線パターンと一緒に形成することができ、別途、この補助配線パターン108bだけを形成する工程を設ける必要がなく、その分、製造の手間を省略することができる。

【0061】補助配線パターン108a、108bと、突起電極109a、接続部材109b、107とを形成した半導体ベアチップ105を第1の導体箔203に実装して、接続部材109b、107を第1の導体箔203に電氣的に接続する。

【0062】図7（e）、（f）の各工程は、図2（e）、（f）に示す各工程と全く同一である。

【0063】次に、図7（g）に示すように、位置合わせして重ねた積層体（第2の導体箔204、シート状物200、半導体ベアチップ105、および第1の導体箔203）をプレスにより加熱加圧して半導体ベアチップ105をシート状物200に埋設して一体化する。このとき、補助配線パターン108aは、シート状物200を貫通した突起電極109aを介して第2の導体箔204に接続固定される。

【0064】次に、図7（h）に示す工程を実施する。この工程は、第1、第2の導体箔203、204をパターンニングして配線パターン102、103を形成する工程であって、この工程を経て、回路基板100が実現される。なお、これらの工程は図2（h）と全く同一であるのでその説明は省略する。

【0065】図8（a）～（h）は本実施形態の回路基板の別の製造方法の一例を示す工程別断面図である。図8において、図3と同一部材については同一符号を付して、それらについての詳細な説明は省略する。

【0066】図8（a）～（c）に示す各工程は、図3（a）～（c）に示す第1の実施の形態の製造方法における各工程と全く同一であるのでそれらについての説明は省略する。

【0067】次に図8（d）に示すように、外部接続に関与しない表面領域（端子形成面およびその裏面）に補助配線パターン108a、108bを形成するとともに、これら補助配線パターン108a、108b上に突起電極109aと接続部材109bとを形成する。そして、これらを形成した半導体ベアチップ105を、離型フィルム305上に形成された第1の配線パターン303に実装し、接続部材107、108bを第1の配線パターン303に電氣的に接続する。

【0068】図8（e）、（f）の各工程は、図3（e）、（f）に示す各工程と全く同一である。

【0069】次に、図8（g）に示すように、位置合わ

せして重ねた積層体（離型フィルム307、第2の配線パターン306、シート状物200、半導体ベアチップ105、第1の配線パターン303）をプレスにより加熱加圧して半導体ベアチップ105をシート状物200に埋設して一体化する。このとき、補助配線パターン108aは、シート状物200を貫通した突起電極109aを介して第2の配線パターン306に接続固定される。

【0070】次に、図8（h）に示すように離型フィルム305、307を剥離することで、第1、第2の配線パターン303、306を形成する工程であって、この工程を経て、配線パターン102、103を有する回路基板100が完成する。

【0071】次に、多層構造を有する回路基板の製造方法の一例を、図9（a）～（h）の工程別断面図を参照して説明する。

【0072】図9において、図4と同一部材については同一番号を付して、それらについての詳細な説明は省略する。この製造方法は、基本的には図4に示す製造方法と同一であるので、ここでは、図4の製造方法と異なる点について説明する。

【0073】まず、図9（a）において半導体ベアチップ405を実装する際、半導体ベアチップ405の実装面に補助配線パターン412bを形成し、この補助配線パターン412bを、突起電極状の接続部材416bを介して配線パターン403に電氣的に接続する点が図4（a）に示す工程と異なる。また、図9（b）に示す工程においては実装した半導体ベアチップ405をシート状物400に埋め込んだ際、半導体ベアチップ405に形成した突起電極416aがシート状物400を貫通する点が、図4（b）に示す工程と異なる。

【0074】図9（c）～（f）に示す工程は、図4（c）～（f）に示す工程と全く同一である。同様に、図9（g）に示す工程も、図4（g）に示す工程と全く同一である。

【0075】図9（h）に示す工程においては、補助配線パターン412aが、シート状物400を貫通した突起電極416aを介して配線パターン410に電氣的に接続される点が図4（h）に示す工程と異なる。

【0076】なお、図9では、導体箔407を載せてシート状物400を積層一体化したのち、導体箔407をパターンニングしていたが、図10に示すように、予め、離型フィルム503上に配線パターン510を形成したうえで、この配線パターン510を最上層のシート状物400に転写してもよいのはいうまでもない（図105（e）、（f）参照）。なお、図10に示す製造方法では、その他の工程を図9と同一としており、同一ないし同様の部分には図9と同一の符号を付し、それらについての説明は省略する。ただし、図10では、4層配線構造の多層回路基板である図9とは異なり、3層配線構造

の多層回路基板において、本発明を実施している。

【0077】なお、図6～10に示す回路基板の製造方法において電子部品は半導体ベアチップ105、405としていたが、他のチップ状の抵抗、インダクタ、コンデンサなどの他の電子部品としても構わないのはいうまでもない。

【0078】また、図6～10に示す回路基板の製造方法において、接続部材107、407としては、導電性接着剤のみ、あるいは金バンプと導電性接着剤の組み合わせとしても良い。また導電性接着剤の代わりに半田によるバンプを半導体ベアチップ107、407側にあらかじめ形成し、熱処理による半田の溶解を利用して半導体ベアチップ405を実装することも可能である。また半田バンプと導電性接着剤の併用もまた可能である。

【0079】また、図6～10に示す回路基板の製造方法において、電子部品と導体箔との間には封止樹脂を注入しても良く、封止樹脂注入によって後の工程で埋設する際に電子部品と導体箔間に隙間ができることを防止できる。

【0080】以下、本発明の第3の実施の形態について、図11を用いて説明する。図11は本発明の多層構造を有する回路基板の構成を示す断面図である。図において、図1と同一部材については同一番号を付して説明を省略する。図において110、111は多層配線を構成する回路基板中の内層配線パターンである。

【0081】図11に示すように、本実施形態の回路基板は、配線パターン102、103、110、111が配置されている基板面に対して、ほぼ垂直方向に沿って半導体ベアチップ105'を配置した状態で、この半導体ベアチップ105を回路基板に内蔵している。これにより、半導体ベアチップ105の表裏面に設けた補助配線パターン108を層間接続用の導電体として用いることができる。したがって、補助配線パターン108を介して、各層の配線パターン102、103、110、および111を互いに電氣的に接続することができる。また、半導体ベアチップ105'を回路基板に対して垂直配置しているので、回路基板上における部品実装密度を高めることができる。さらには、回路基板が占有することにより層間接続が困難であった回路基板内の領域を最小限にすることができる。

【0082】なお、図11では、半導体ベアチップ105'以外の半導体ベアチップ105には、補助配線パターンを設けていないが、他の実施の形態と同様、これらの半導体ベアチップ105に補助配線パターンを設けて、さらに、層間接続を容易にしてもよいのはいうまでもない。

【0083】また、各実施形態における多層基板構造の回路基板（図4、図5、図9、図10、図11参照）では、すべての絶縁層101に電子部品（半導体ベアチップ105）を設けていたが、本発明は、すべての絶縁層

101に電子部品を設ける必要はなく、少なくとも一つの絶縁層に電子部品が設けられた多層基板構造の回路基板であれば、実施できるのはいうまでもない。

【0084】

【発明の効果】以上説明したように、本発明の回路基板では、半導体ベアチップ実装位置にも有効な配線パターンを形成して、配線収容率を高めることで、極めて高密度な配線形成を行う回路基板を実現できる。

【0085】また、補助配線パターンの接続部材として突起電極を用いれば、インナービアを作製しなくても半導体チップの余剰スペースに形成した配線パターンと回路基板の配線パターンとの間の接続が行えるので、より一層の高密度化を実現できる。

【0086】さらには、電子部品を、その実装面が前記回路基板の面方向に略直交する方向に沿って配置することにより、別途、層間接続体として機能する導電体を設ける必要がなくなるうえに、平面的に見て回路基板内で電子部品が占める領域がほぼ最小限となり、電子部品が障害となって回路基板内で層間接続構造を作成できない領域の大きさを最小限にすることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態における回路基板の構成を示す要部断面図である。

【図2】 第1の実施形態の第1の製造方法を示す工程図である。

【図3】 第1の実施形態の第2の製造方法を示す工程図である。

【図4】 第1の実施形態の第3の製造方法を示す工程図である。

【図5】 第1の実施形態の第4の製造方法を示す工程図である。

【図6】 本発明の第2の実施形態における回路基板の構成を示す要部断面図である。

【図7】 第2の実施形態の第1の製造方法を示す工程図である。

【図8】 第2の実施形態の第2の製造方法を示す工程図である。

【図9】 第2の実施形態の第3の製造方法を示す工程図である。

【図10】 第2の実施形態の第4の製造方法を示す工程図である。

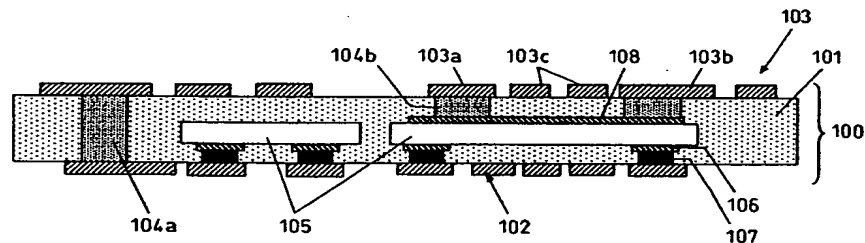
【図11】 本発明の第3の実施形態における回路基板の構成を示す要部断面図である。

【図12】 従来の半導体内蔵モジュールの要部断面図である。

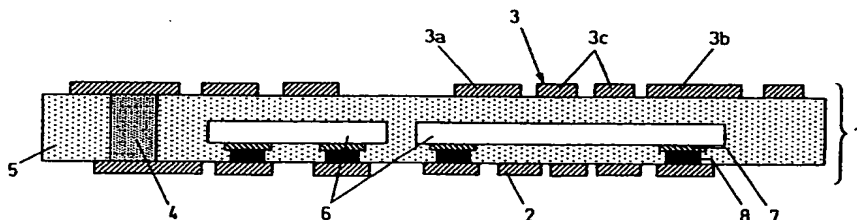
【符号の説明】

100	回路基板	101	絶縁層
102、103	配線パターン	105、40	
5	半導体ベアチップ	107、41	
106、41.4	アルミ電極端子	202、40	
5	接続部材	204	第2の導体箔
200、400	シート状物	305、306、404、503	離型フィルム
1	導電性樹脂組成物	109a、416a	突起電極

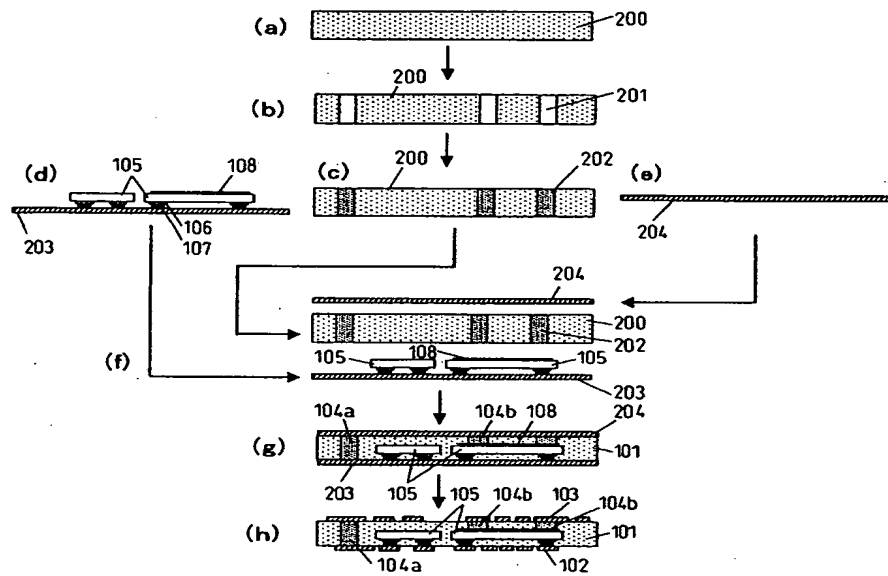
【図1】



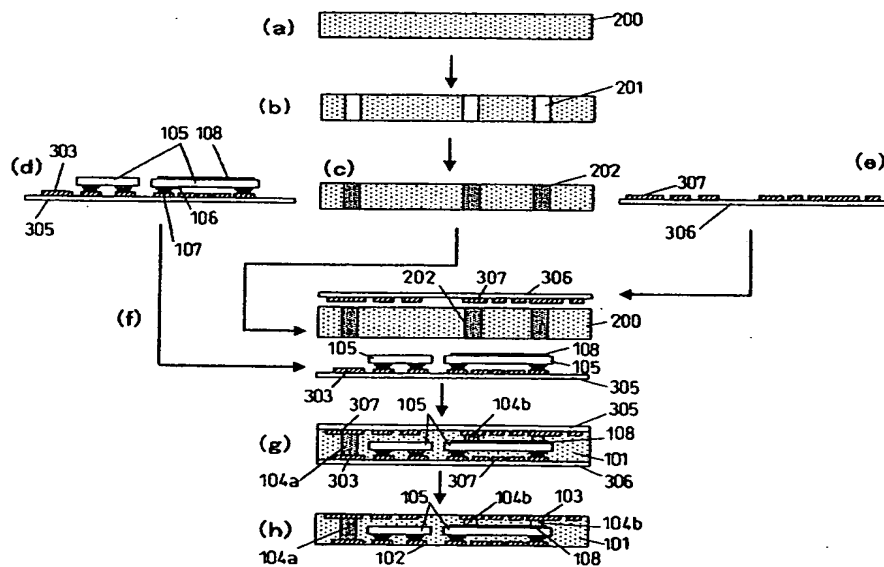
【図12】



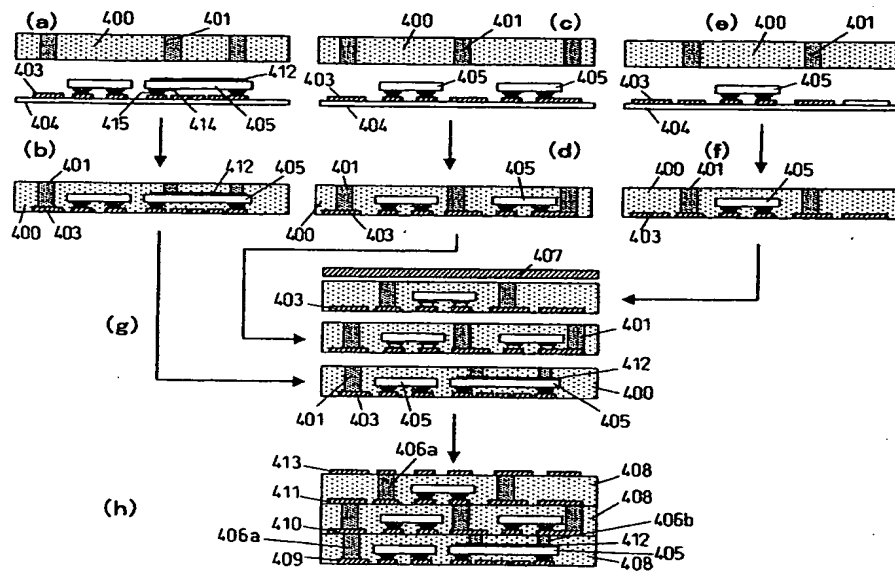
【図2】



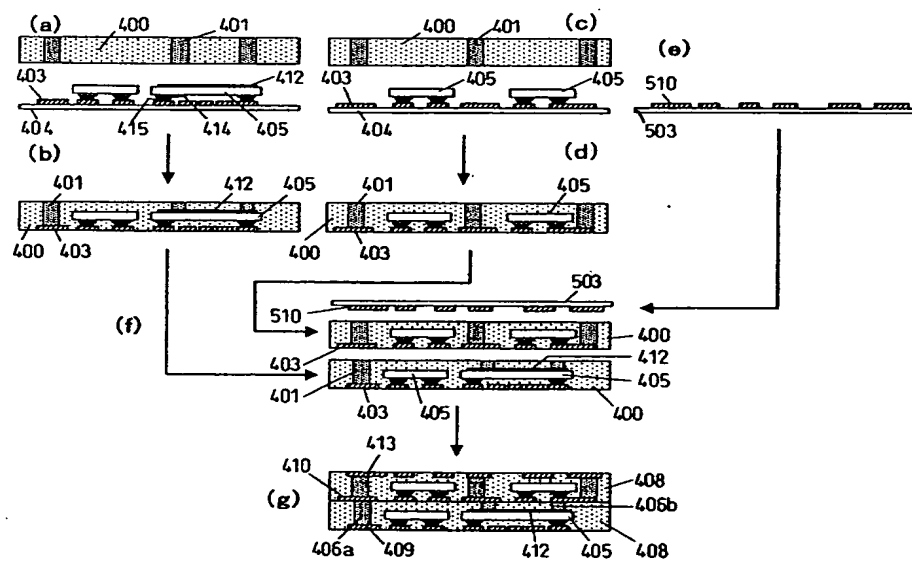
【図3】



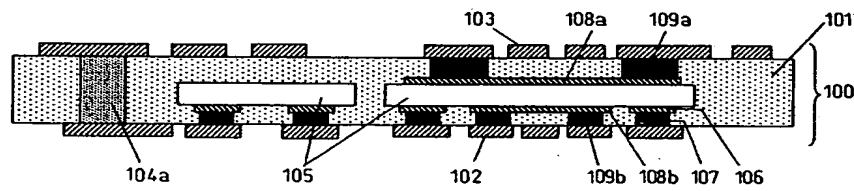
【図 4】



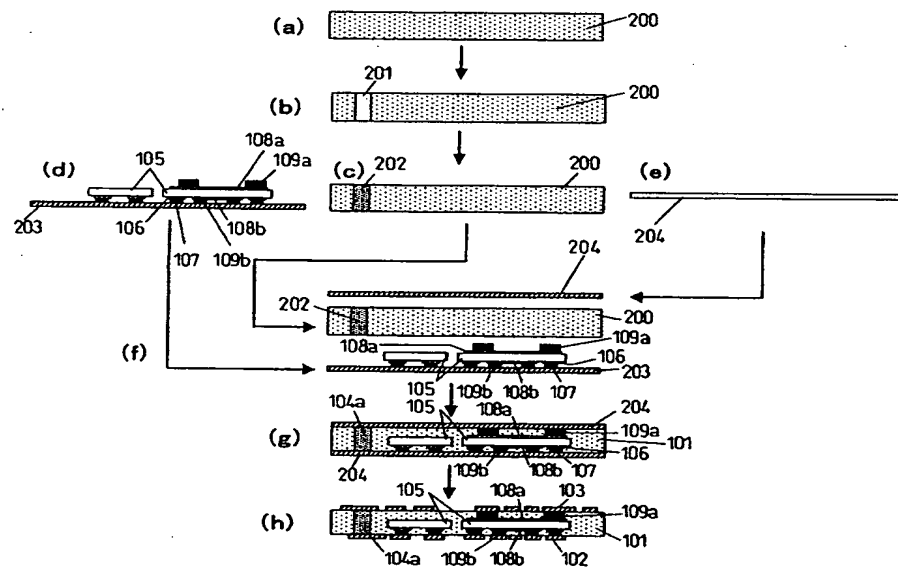
【図 5】



【図6】



【図7】



【図11】

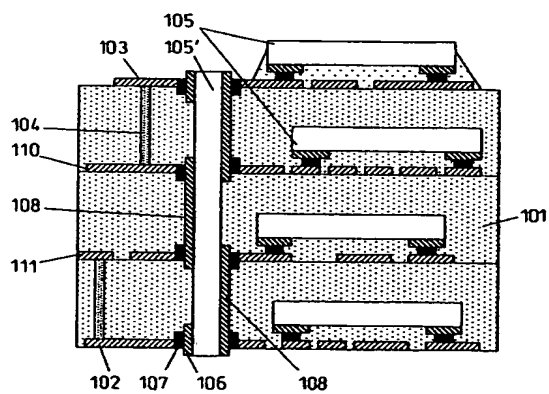
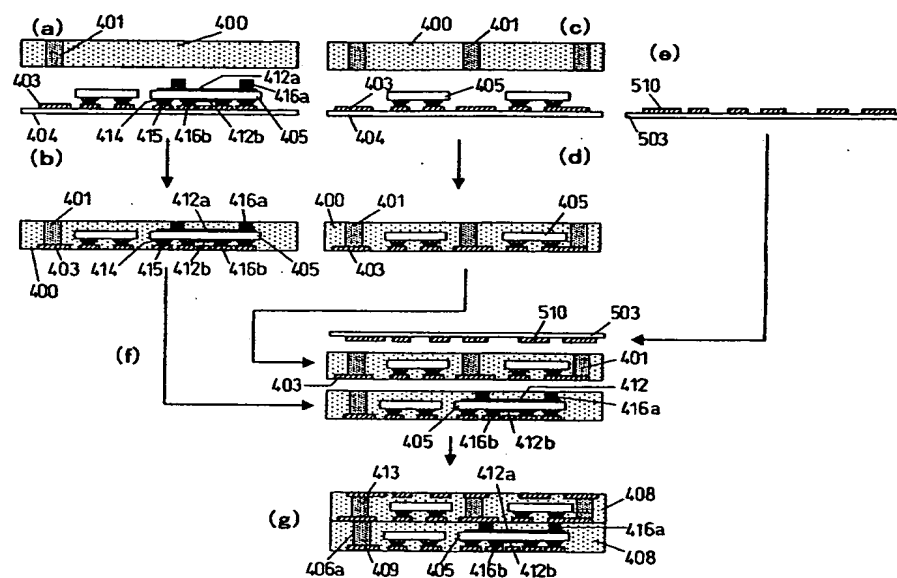


Fig. 1 shows a series of cross-sectional views (a) through (h) illustrating the manufacturing process of a semiconductor device. The process involves multiple layers and etching steps. Key components labeled include layers 400, 401, 403, 404, 405, 406a, 406b, 407, 408, 409, 410, 411, 412a, 412b, 413, 414, 415, 416a, and 416b. The process starts with a substrate (400) and a first layer (401). Subsequent steps involve etching, depositing, and etching various layers to form a complex structure with multiple openings and layers.

【図10】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テーム (参考)

H 0 1 L 25/04

H 0 5 K 3/40

K

25/18

H 0 1 L 23/12

B

25/10

N

25/11

25/04

Z

H 0 5 K 1/11

25/14

Z

3/40

(72) 発明者 林 祥剛

F ターム (参考) 5E317 AA24 BB02 BB11 CC25 CC60

大阪府門真市大字門真1006番地 松下電器

CD21 CD34 GG14

産業株式会社内

5E346 AA12 AA15 AA35 AA43 BB01

(72) 発明者 祐伯 聖

BB16 CC08 CC16 DD02 DD12

大阪府門真市大字門真1006番地 松下電器

EE02 EE06 EE08 EE13 FF18

産業株式会社内

FF24 FF35 FF45 GG02 GG19

GG28 GG40 HH25